

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS.
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

GP

PAT-NO: JP361044468A  
DOCUMENT-IDENTIFIER: JP 61044468 A  
TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE  
THEREOF  
PUBN-DATE: March 4, 1986

INVENTOR-INFORMATION:

NAME  
KAWASAKI, KIYOHIRO  
KURODA, HIROSHI  
SAITO, HIROKI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRIC IND CO LTD	N/A

APPL-NO: JP59167063

APPL-DATE: August 9, 1984

INT-CL (IPC): H01L029/78, H01L027/12 , H01L029/60 , H01L029/62 ,  
G02F001/133  
, G09F009/35

US-CL-CURRENT: 257/E29.255

ABSTRACT:

PURPOSE: To contrive to improve the drape of a gate insulation film at the edge of a gate metallic layer by a method wherein the effective thickness of the metallic layer is reduced by patterning the gate in a layer form.

CONSTITUTION: A Cr film 13 of 1,000&angst; thickness and an MoSi film 14 of 500&angst; thickness are put on a glass plate 1 and covered with a resist mask 15. On heating at approx. 160°C after the MoSi is overetched with a solution of hydrofluoric acid : nitric acid = 30:1, a softened

mask 15' covers  
an MoSi film 14' and adheres to the Cr film 13. A Cr film 13' is  
formed by  
etching with a solution containing CeNo<SB>3</SB>, and the mask  
15' is removed.  
This construction makes the stepwise difference effective to the  
gate  
insulation film reduce to the film thickness of a thicker film of  
a  
double-layer pattern of the Cr film 13 and the narrower MoSi film  
14'.  
Thereafter, the gate insulation film can be thinned, which is  
advantageous to  
the micro fabrication of the device.

COPYRIGHT: (C)1986,JPO&Japio

## ⑫ 公開特許公報 (A) 昭61-44468

⑯ Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	⑬ 公開 昭和61年(1986)3月4日
H 01 L 29/78 27/12 29/60 29/62		8422-5F 7514-5F	
// G 02 F 1/133 G 09 F 9/35	1 1 8	8205-2H 6615-5C	審査請求 未請求 発明の数 2 (全6頁)

⑭ 発明の名称 半導体装置およびその製造方法

⑮ 特願 昭59-167063  
 ⑯ 出願 昭59(1984)8月9日

⑰ 発明者 川崎 清弘 門真市大字門真1006番地 松下電器産業株式会社内  
 ⑱ 発明者 黒田 啓 門真市大字門真1006番地 松下電器産業株式会社内  
 ⑲ 発明者 斎藤 弘樹 門真市大字門真1006番地 松下電器産業株式会社内  
 ⑳ 出願人 松下電器産業株式会社 門真市大字門真1006番地  
 ㉑ 代理人 幸利士 中尾 敏男 外1名

## 明細書

## 1、発明の名称

半導体装置およびその製造方法

## 2、特許請求の範囲

(1) 絶縁性基板上に選択的に形成された第1の導電層および前記第1の導電層よりも細いパターン幅の第2の導電層よりなる層状パターンをグートとし、全面に被着された絶縁層を介して前記層状パターン上に選択的に被着形成された島状の非単結晶半導体層上で前記層状パターンと一部重なるように選択的に被着形成された一対の金属層をソース・ドレインとすることを特徴とする半導体装置。

(2) 非単結晶半導体層と金属層との間に不純物層が形成されていることを特徴とする特許請求の範囲第1項に記載の半導体装置。

(3) 第1の導電層をクロムとし、第2の導電層をモリブデン、タンタル、タンクステンのうち少なくとも1つを含むシリサイドとすることを特徴とする特許請求の範囲第1項に記載の半導体

## 装置。

(4) 第1の導電層をクロムとし、第2の導電層をニッケルとすることを特徴とする特徴とする特許請求の範囲第1項に記載の半導体装置。

(5) 絶縁性基板上に第1の導電層と第2の導電層を被着する工程と、前記第2の導電層上に選択的に感光性樹脂パターンを形成する工程と、前記感光性樹脂パターンをマスクとして前記第2の導電層を食刻後加熱処理を施す工程と、加熱処理後の前記感光性樹脂パターンをマスクとして前記第1の導電層を食刻する工程と、前記感光性樹脂の除去後全面に絶縁層を被着する工程と、前記第1および第2の導電層よりなる層状パターン上に島状の非単結晶半導体層を選択的に被着形成する工程と、前記島状の非単結晶半導体層上で前記層状パターンと一部重なるように一対の金属層を選択的に形成する工程とを含むことを特徴とする半導体装置の製造方法。

## 3、発明の詳細な説明

産業上の利用分野

本発明は半導体装置、とりわけ非晶質シリコンを半導体材料とするMIS(絶縁ゲート型)トランジスタに関するものである。

#### 従来例の構成とその問題点

非晶質シリコンは低温形成が可能なことや大面積化が容易なことを理由に低コストの太陽電池を得るための有力な手段に考えられている。しかしながら非晶質シリコン薄膜中の不対結合手を水素原子で埋めなければ膜質の向上は望めず、また水素原子で埋めても欠陥単位密度はバンドギャップ中央で $10^{15} \sim 10^{16}/cm^2$ 、バンド端で $10^{20}/cm^2$ と単結晶シリコンよりはるかに大きい。このためキャリアはトラップに捕獲される確率が高く、自由電子の移動度は $0.1 \sim 1 cm^2/V\cdot sec$ と単結晶シリコンの値に比べると3~4桁小さく、一般的には集積回路化する必然性が見い出せない。

しかしながら高速動作や電流を必要としない、例えは液晶と組み合わせることによって画像表示装置を構成可能なMISトランジスタなどはむしろ先述したような理由で非晶質シリコンを集積化

することが望まれる。たとえばApplied Physics, 24巻, 357~362ページ, 1981年発行にはこの目的を達成するための一手法が示されており、第1図の平面図および第2図の断面図で非晶質シリコンMISトランジスタの製造工程を説明する。

まず絶縁性基板例えはガラス板1上にゲートとなる第1の金属層2を選択的に被着形成する。その材質には上記文献ではクロム(Cr)を用いているがモリブデン(Mo)を用いても支障ない。つぎに全面にゲート絶縁層3となる例えは窒化シリコン層を被着し、ひき続き不純物をほとんど含まない非晶質シリコン層4を被着し、ゲート金属層2上に島状の非晶質シリコン層4を選択的に形成する。その後ゲート金属層2に接続を与えるために窒化シリコン層3に開口部5を形成してゲート金属層2の一部を露出する。最後にオフセットゲートにならぬようゲート金属層2と一部重なり合うように非晶質シリコン層4上に一対のソース、ドレイン電極6, 7と開口部5を含んでゲート配線8を

アルミニウム(Au)で選択的に被着形成して非晶質シリコンMISトランジスタが完成する。MISトランジスタの動作電圧を下げるためにはソース、ドレイン電極6, 7と不純物をほとんど含まない非晶質シリコン層4との間に不純物を含む非晶質シリコン層9を介在させると好ましい結果が得られる。なお第1図のA-A'およびB-B', C-C'線上の断面図がそれぞれ第2図a, b, cに対応している。第2図bはマトリクス構成の集積回路には必須のゲート金属層2とソース・ドレイン配線10とが交差する多層配線パターンであり、第2図cはゲート2とゲート配線とのコンタクトパターンである。

以上の説明からも明らかのように非晶質シリコンMISトランジスタではチャネルとソース・ドレインが同一面内には存在しない。このためMISトランジスタの相互コンダクタンスを大きくするためにゲート絶縁層3を薄くするとゲート金属層2へのカバーレージが問題となる。ゲート金属層2が薄ければカバーレージは問題とはならないが、ゲ

ート金属層2も余り薄すぎると抵抗値が高くなり、また膜質が多孔質的になってガラス基板1およびゲート配線8との密着性が悪くなるので、おのずと制約を受ける。ゲート金属層2の厚みは少なくとも $1000\text{ \AA}$ 好ましくは $2000\text{ \AA}$ 以上が望ましい。基板1にガラス板などを用いる関係上 $600\text{ \AA}$ 以上の基板加熱や堆積後の熱処理が行なえないためにゲート絶縁層3のカバーレージを良くすることはできず、事実前記文献ではゲート絶縁層3としては $4000 \sim 6000\text{ \AA}$ の窒化シリコン膜を用いている。このことは移動度の小さな非晶質シリコンでは致命的な制約となり、またカバーレージの悪さは膜厚を厚くしても改善の度合は芳しくなく、ゲート2とドレイン6または7との耐圧は $20 \sim 30\text{ V}$ 程度しか得られない欠点があった。

加えて $\text{SiH}_4$ ガスと $\text{NH}_3$ ガスを主ガスとするグロー放電分解によって生成される窒化シリコン膜は段差部における化学的な結合力が弱く、平坦部の食刻液あるいはガスに対する食刻速度の $10 \sim 100$ 倍という異常な速さで食刻されることも稀

ではない。このため第3図に示すように、ソース・ドレイン配線を形成する前工程の硫酸希釈液によるシリコン層4および開口部5より露出しているゲート配線2の表面洗浄、言わゆるティップ洗浄によってゲート金属層2エッジ上の塗化シリコン膜11が異常食刻されて消失しゲート金属層2が露出してしまう。このような状態では多層配線の交差部においてAl配線10とゲート金属層2は容易に短絡して著しく歩留りを下げる。

先行例ではこのような不都合を下げるために、多層配線の交差部に第4図および第5図に示すように不純物を含まない島状の非晶質シリコン層12を塗化シリコン膜3とAl配線10との間に形成し塗化シリコン膜のエッジ11が硫酸希釈液による食刻を受けないように配慮した対策が示されている。しかしながら、この場合にはシリコン層12の厚みとカバレージも問題となり、ある程度以上の厚み(最低2000Å)がないと著しい効果は得られない。余りシリコン層12の厚みを増してもAl配線10の段切れを増す恐れがあり、また

余分なパターンであるために高密度化の妨げとなるのは明らかであり、必ずしも万全な対策とは言えないのが現状である。

#### 発明の目的

本発明は上記した問題点に鑑みなされたものでゲート金属層のエッジにおけるゲート絶縁膜のカバレージ特性の向上を目的とする。

#### 発明の構成

本発明の要点はゲート金属層エッジにおけるゲート絶縁膜のカバレージが改善されるべくゲートを層状バーナーGATEとし、ゲート金属層の実効的な厚みを下げた点にあり、以下第6図、第7図とともに本発明の実施例について説明する。

#### 実施例の説明

まず、第6図(a)に示したように、ガラス板1上に第1の導電層13(例えばクロムを1000Åの厚みで被着し、ひき焼き第2の導電層14(例えばモリブデンシリサイドあるいはニッケルを500Åの厚みで被着した後にゲートパターンに対応した感光性樹脂パターン15を8000Åの厚みで第2

の導電層14上に選択的に形成する。第2の導電層14の食刻にあたり、感光性樹脂にEPO-747(コダック社製)を用い現像後のポストベークが140°C 10分であれば、500Åの膜厚のモリブデンシリサイドは硫酸：硝酸=30:1の食刻液で5~8秒で食刻されるが、第6図(b)に示すように過食刻を5~10秒追加するとモリブデンシリサイドは感光性樹脂パターン15のエッジより2~4μm入り込んだ状態でバーナーニングされて14'となる。この後、160°C 10分の加熱処理を施すと第6図(c)に示したように感光性樹脂パターン15'が軟化してモリブデンシリサイド14'を被うようにしてクロム層13と密着する。そこで硝酸セリウムを含むクロム食刻液で再び感光性樹脂パターン15'をマスクとしてクロム層13をバーナーニングして13'とし、感光性樹脂パターン15'を除去すると第6図(d)に示した状態となる。第2の導電層14がニッケルの場合には食刻液に塩酸を用いればほぼ同様の手順で第6図(d)の状態になる。

この後は従来例と同じ工程で、ゲート絶縁膜3を全面に被着し、島状の非晶質シリコン層4を第1の導電層バーナー13'と第2の導電層バーナー14'よりなるゲートバーナー16上に選択的に被着形成し、ゲートバーナー16上の絶縁膜3に開口部を形成した後、ソース・ドレイン配線6, 7およびゲート配線8を選択的に被着形成して本発明によるMISトランジスタが完成する。第7図(a), (b)は第2図(a), (b)に対応した断面図である。

#### 発明の効果

第2図(a)と第7図(a)との対比からも明らかのように本発明においてはゲート金属層は第1の金属層と第1の金属層よりも狭いバーナー幅の第2の金属層よりなる2層のバーナーである。したがってゲート絶縁膜にとて実効的な段差はいずれか一方の厚い金属層の厚みにまで減少する。このことはカバレージへの制約が緩和されたことと等価で、従来と同じソース・ドレインとゲート間の絶縁耐圧で良ければゲート絶縁膜を薄くすることができます。MISトランジスタのチャネル幅をWと

導電性を示す金属酸化物あるいは不純物をドープされた半導体材料でも何ら支障ない。

## 4. 図面の簡単な説明

第1図は従来例の非晶質シリコンMISトランジスタの要部平面図、第2図(a), (b), (c)は第1図のA-A', B-B', C-C'線上の断面図、第3図は多層配線の交差部における第2図B-B'部分の絶縁層の異常食刻状態の断面図、第5図は異常食刻を防止する対策を施したMISトランジスタの要部平面図、第4図は第5図のB-B'線断面図、第6図(a)～(d)は本発明の一実施にかかるMISトランジスタのゲート形成の工程断面図、第7図(a), (b)は同トランジスタの要部断面図である。

1……絶縁性基板、1'……ゲート金属層、3……ゲート絶縁層、12……半導体層、6, 7……ソース・ドレイン配線、13, 13'……第1の導電層、14, 14'……第2の導電層、15, 15'……感光性樹脂。

代理人の氏名 弁理士 中尾 敏男 振か1名

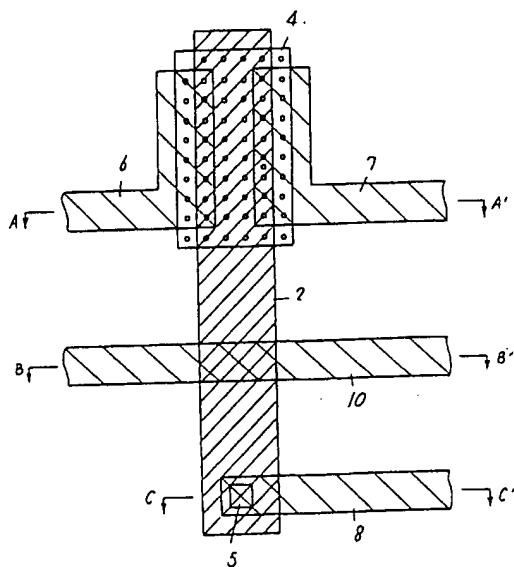
し、チャネル長をしとするとWが従来の1/2～1/4で同等のon電流が得られ、トランジスタサイズが小さくなる分だけ開口率が上って液晶画像表示装置の明るさが増すという優れた効果が得られる。あるいは従来と同じトランジスタサイズであれば所定のon電流を得るために必要なゲート電圧が2～3V程低くてよいので駆動のための回路方式およびその集積回路化が容易となる。

さらに第2図(b)と第7図(b)との対比でも明らかにゲート金属層とソース・ドレイン配線などとの交差部における層間耐圧も上記した理由で向上し、マトリクス構成の液晶画像表示装置において走査線と信号線が短絡して十字状の線欠陥を呈示する現象は皆無となった。

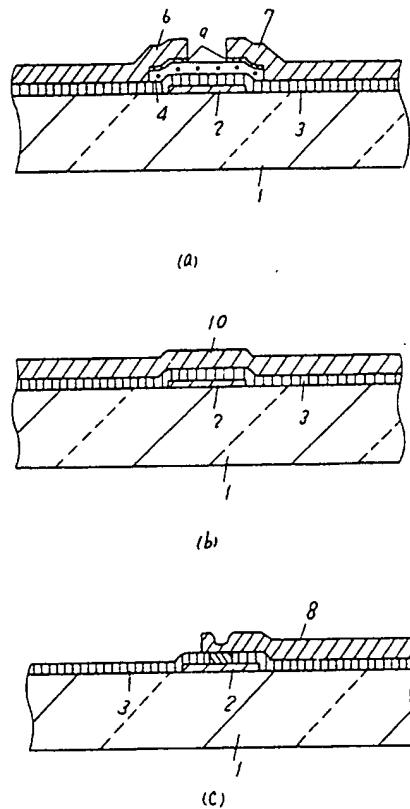
本発明の実施例ではMISトランジスタを構成する半導体材料として非晶質シリコンを取り上げたが、微結晶化したシリコンや多結晶シリコンでも同様の効果が期待され、シリコン以外の半導体材料でも本発明は有効である。

またゲート材も金属に限定されるものではなく

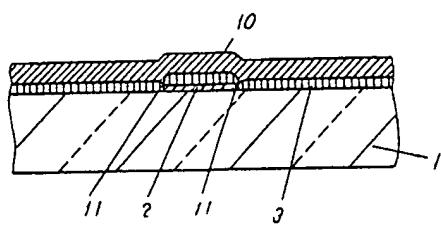
第1図



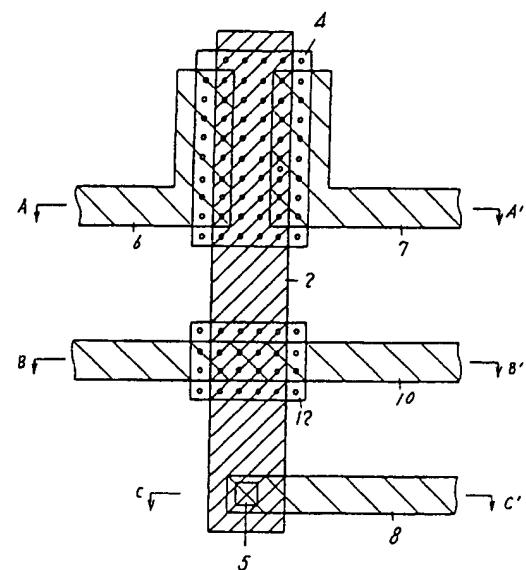
第2図



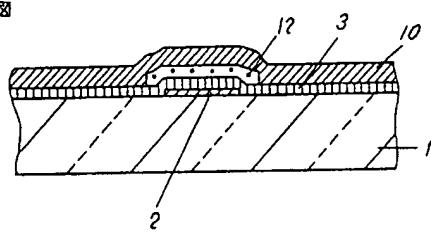
第 3 図



第 5 図

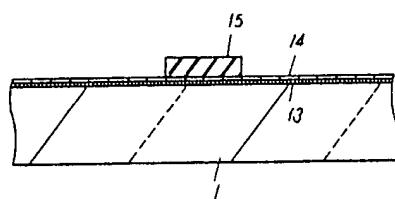


第 4 図

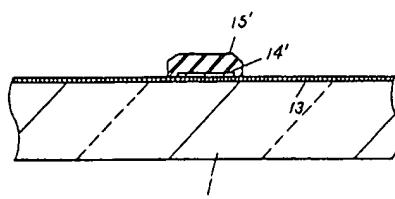


第 6 図

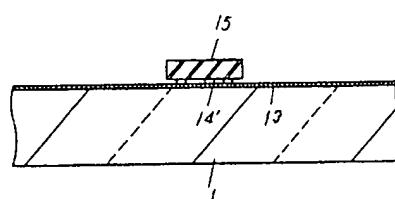
第 6 図



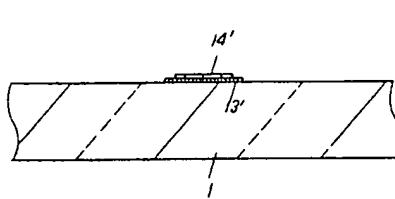
(a)



(c)

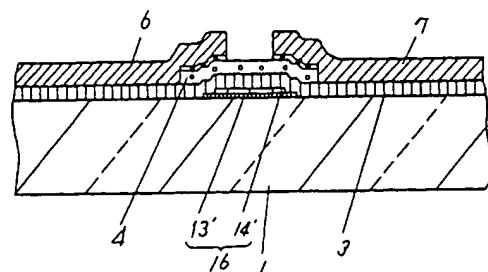


(b)

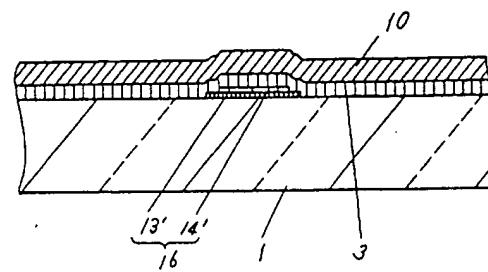


(d)

第 7 図



(a)



(b)